

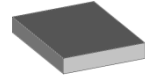


# M5230

非接触式读卡芯片产品说明书

深圳市卓越创芯科技有限公司

REV 2.1 [2017.1.20]



## 1 概述

M5230 是一款符合 ISO/IEC14443 TYPE A/B 标准的多协议非接触读卡芯片，内置接收放大电路、数字调制解调电路、时钟电路、复位电路、随机数产生电路。

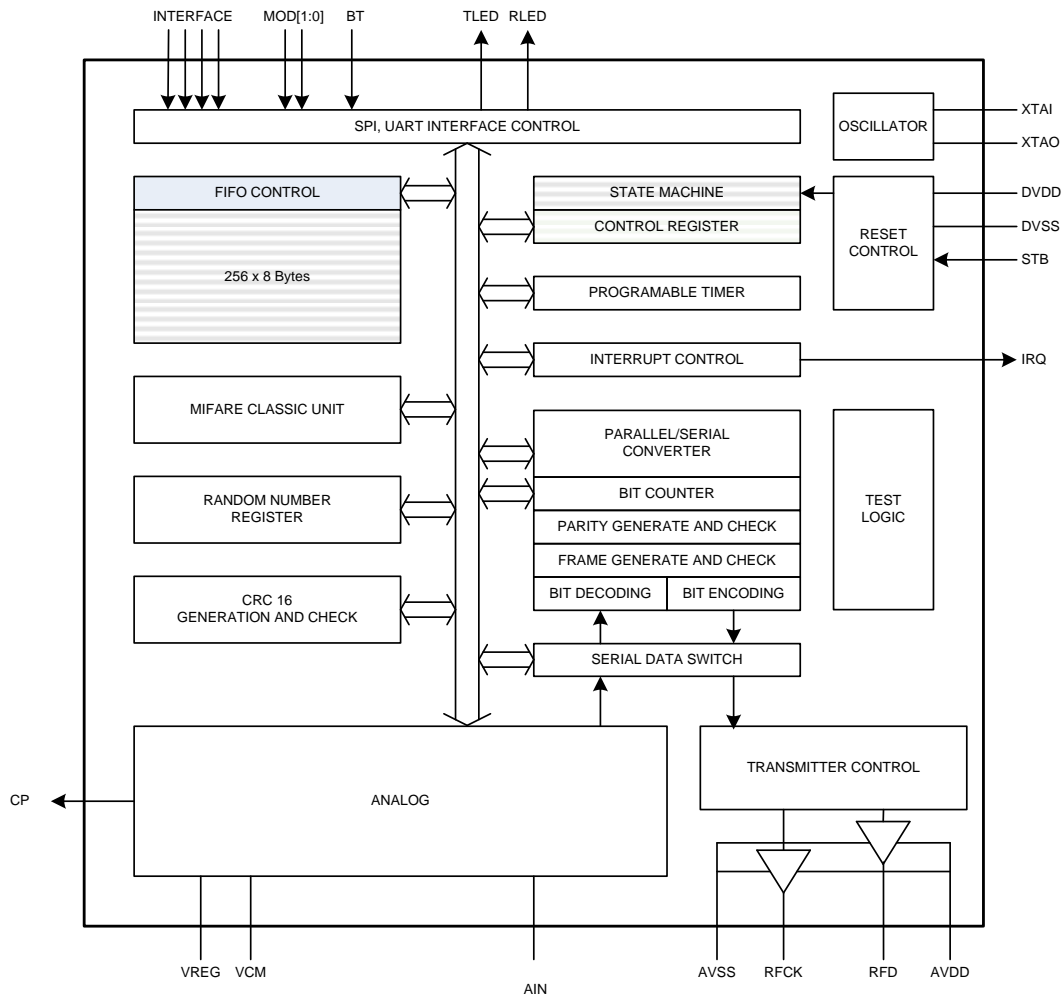
## 2 应用

- 公共交通终端
- 手持终端
- 板上单元
- 非接触式 PC 终端
- 计量
- 非接触式公用电话

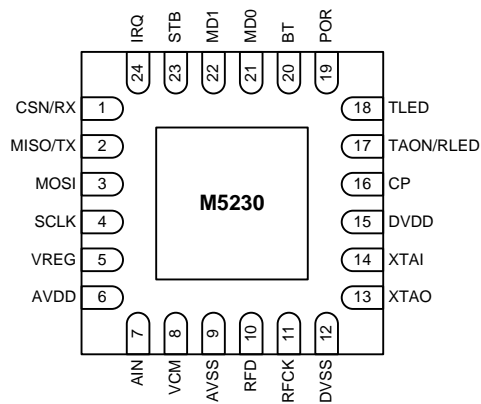
## 3 特性

- 支持 ISO/IEC 14443 A/MIFARE 通信协议
- 支持 ISO/IEC 14443 B 通信协议
- 在从模式下与 ISO/IEC 14443A 和 MIFARE 通信的典型工作距离高达 80mm，具体距离由天线尺寸、调谐和电源决定
- 支持传输速率 106kBd
- 支持的主机接口
  - ◆ SPI 接口最高传输速率为 2 Mbit/s
  - ◆ RS232 接口可支持波特率 115.2kBps 以及 9.6kBps
- 256 字节的 FIFO 缓冲区
- 多种可配置的中断模式
- 内部 16 bits 可编程定时器
- 内部振荡电路，连接 13.56 MHz 的晶体；
- 3.0 V to 5.5 V 低电压低功耗设计；
- 内置 CRC 协处理器，采用符合 ISO/IEC14443 和 ITU-T 协议标准的多项式；
- 低功耗模式

### 4 功能框图



### 5 管脚排布



#### 5.1 管脚描述



Pin	Symbol	Type	Value	
1	CSN	I	SPI	CSN 信号输入端
	RX	I	UART	RX 信号输入端
2	MISO	O	SPI	MISO 信号输出端
	TX	O	UART	TX 信号输出端
3	MOSI	I	SPI	MOSI 信号输出端
4	SCLK	I	SPI	SCLK 信号输入端
5	VREG	A	内部基准电源, 外接 10uF 去耦电容, 对地接 4.7k 电阻	
6	AVDD	P	模拟电源	
7	AIN	A	检波信号输入	
8	VCM	A	内部基准电源, 外接 1uF 去耦电容	
9	AVSS	P	模拟地	
10	RFD	O	调制信号输出管脚	
11	RFCK	O	载波输出管脚, 输出 13.56MHz 的方波	
12	DVSS	P	数字地	
13	XTAO	A	外接 13.56MHz 晶体	
14	XTAI	A	外接 13.56MHz 晶体	
15	DVDD	P	数字电源	
16	NC	O	空管脚	
17	TAON	O	Type A/B 协议指示(1: Type A 0: Type B)	
	RLED	O	接收状态 LED(SAM 模式)	
18	TLED	O	发送状态 LED	
19	POR	IU	外部复位信号输入, 内部带弱上拉电阻, 低有效	
20	BT	I	速率/协议选择	
21	MD0	I	模式选择	
22	MD1	I	模式选择	
23	STB	IU	低功耗	
24	IRQ	O	中断信号输出端	

## 6 数字接口

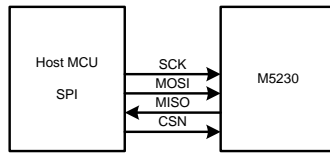
M5230 通过 MD 管脚选择工作模式, 通过 BT 管脚选择通信速率, MD 及 BT 管脚必须在 POR 拉高前确定, 当 M5230 处于工作模式时更改 MD 及 BT 管脚无效, 如须更改必须将芯片复位或者重新上电。

MD1	MD0	模式	
		BT=1	BT=0
0	0	SPI	
0	1	UART 115200	UART 9600



## 6.1 SPI 接口

### 6.1.1 连接主机



SPI 通信模式下 M5230 作为从机，接口的速率由主机的 SPI 时钟控制，从主机发往从机的数据接在 MOSI 管脚，从机发往主机的数据接在 MISO 管脚。

MISO MOSI 管脚上的数据，先发送最低位 (MSB) 数据，MOSI MISO 数据必须在 SCLK 的上升沿保持稳定，可在 SCLK 为低电平时改变，MISO 数据在时钟的下降沿后改变并在上升沿时保持稳定。

SPI 接口时钟信号不能超过 6MHz，向寄存器内写入时，数据应为 1 个。如写入多个数据，数据将依次写入到同一寄存器内。向缓冲区内写入时，数据为 1~N 个。数据将从缓冲区当前写入指针位置开始写入。

### 6.1.2 SPI 读操作

Address Bit7 定义读写 1: 读操作 0: 写操作

FIFO 缓冲区写操作

Line	Byte0	Byte1	Byte2	...	ByteN
MOSI	Address	X	X	X	X
MISO	X	Data1	Data2	...	DataN

其他寄存器写操作

Line	Byte0	Byte1
MOSI	Address	X
MISO	X	Data1

### 6.1.3 SPI 写操作

FIFO 缓冲区写操作

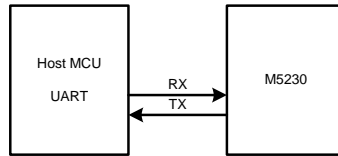
Line	Byte0	Byte1	Byte2	...	ByteN
MOSI	Address	Data0	Data1	...	DataN
MISO	X	X	X	X	X

其他寄存器写操作

Line	Byte0	Byte1
MOSI	Address	Data0
MISO	X	X

## 6.2 UART 接口

### 6.2.1 UART 接口



UART 通信模式下 M5230 作为从机，接口的速率由 BT 管脚选择(1: 115200bps 0: 9600bps) 从主机发往从机的数据接在 RX 管脚，从机发往主机的数据接在 TX 管脚。

RX TX 管脚上的数据，先发送最低位 (MSB) 数据，采用 1 位起始位+8 位数据位+1 位停止位模式。

### 6.2.2 UART 波特率选择

BT	波特率
1	115200 bps
0	9600 bps

### 6.2.3 UART 数据帧结构

UART 接口每个字节包含 1 个起始位，8 个数据位和 1 个停止位，数据传输过程中先发送高位。

多个 UART 字节构成一个 UART 数据帧，一个数据帧代表一条命令。每个数据帧的第一个字节为命令字节，后面为 0 或多个字节数据。

Bit	Length	Value
Start	1-bit	0
Data	8-bit	data
Stop	1-bit	1

### 6.2.4 UART 读写操作

Address Bit7 定义读写 1: 读操作 0: 写操作

FIFO 缓冲区写操作

Line	Byte0	Byte1	Byte2	...	ByteN
TX	Address	Data1	Data2	...	DataN

其他寄存器读操作

Line	Byte0	Byte1
TX	Address	Data1

### 6.2.5 UART 读操作

FIFO 缓冲区读操作

Line	Byte0	Byte1	Byte2	...	ByteN



TX	Address	-	-	-	-
RX	-	Data1	Data2	...	DataN

其他寄存器读操作

Line	Byte0	Byte1
TX	Address	-
RX	-	Data1

## 7 数字外设

### 7.1 CRC 协处理器

CRC 协处理器:

- CRC 初值: ModeReg 寄存器 CRCPreset[1:0]位可将 CRC 的初值设置为 0000h, 6363h, A671h or FFFFh。
- CRC 多项式:  $x^{16} + x^{12} + x^5 + 1$
- CRCResultReg 寄存器保存 CRC 计算的结果, 该寄存器由 2 个 8 位的寄存器构成分别表示高字节和低字节。

Table 18. CRC 协处理器参数

Parameter	Value
CRC 长度	16-bit CRC
CRC 多项式	多项式符合 14443 A and ITU-T 协议标准
CRC 初值	0000h, 6363h, A671h, FFFFh CRC 初值取决于 ModReg 寄存器 CRCPreset[1:0]位

### 7.2 FIFO 缓冲区

M5230 内部集成了一个 8 x 256 bit FIFO 缓冲区。主机和 M5230 内部状态机的输入输出数据流通过缓冲区缓存, 利于缓冲区可实现单次 256 字节的收发操作, 而不需要考虑时序约束。

#### 7.2.1 访问 FIFO 缓冲区

FIFO 数据缓冲区的输入输出数据总线与 FIFODataReg 寄存器相连。对 FIFODataReg 寄存器进行写操作数据将会保存在缓冲区中同时 FIFO 缓冲区的写指针加 1, 对 FIFODataReg 寄存器进行读操作可读出 FIFO 缓冲区的数据同时 FIFO 缓冲区的读指针加 1, FIFO 缓冲区的深度可通过读 FIFOLevelReg 寄存器获得。

只有当 FIFO 缓冲区处于空闲状态时可以通过主机接口访问, 当内部状态机处于发送、接收、认证或 CRC 计算状态时 FIFO 缓冲区被内部状态机占用, 如果此时通过外部接口访问 FIFO 缓冲区 ErrorReg 寄存器的 WrErr 位将会置位。

#### 7.2.2 FIFO 缓冲区清空

FIFO 缓冲区可以通过对 FIFOLevelReg 寄存器写 0x00 进行清空, 同时, ErrorReg 寄存器 BufferOvf 位也被清零。FIFO 缓冲区中存储的数据将无法被访问, FIFO 缓冲区将重新允许填入 256bytes 数据。

#### 7.2.3 FIFO 缓冲区状态信息

主机可以获得 M5230 FIFO 缓冲区的以下状态:



- FIFO 缓冲区数据深度: FIFOLevelReg 寄存器 FIFOLevel[7:0]
- FIFO 缓冲区几乎满: Status1Reg 寄存器 HiAlert 位
- FIFO 缓冲区几乎空: Status1Reg 寄存器 LoAlert 位
- FIFO 缓冲区溢出: ErrorReg 寄存器 BufferOvfl 位. BufferOvfl 只能通过对 FIFOLevelReg 寄存器写 0x00 清除.

M5230 FIFO 缓冲区可产生以下中断信号:

- ComIEnReg 寄存器 LoAlertEn 位置 1, 当 Status1Reg 寄存器 LoAlert 位为 1 IRQ 管脚产生中断信号。
- ComIEnReg 寄存器 HiAlertEn 位置 1, 当 Status1Reg 寄存器 HiAlert 位为 1 IRQ 管脚产生中断信号。

$$HiAlert = (256 - FIFOLength) \leq WaterLevel$$

$$LoAlert = FIFOLength \leq WaterLevel$$

### 7.3 中断系统

M5230 的 IRQ 引脚可根据 Status1Reg 寄存器的设置产生特定的中断信号, 具有中断处理能力的主机可以利用 IRQ 引脚实现高效的软件结构。

ComIEnReg 寄存器控制所有中断源的使能及 IRQ 信号的极性。ComIrqReg 指示中断请求信号的状态, 只有 ComIrqReg 请求信号有效 ComIEnReg 寄存器对应的中断使能信号有效 IRQ 引脚上才会产生中断请求信号。

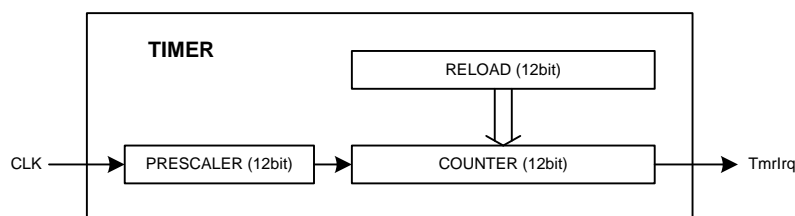
#### 7.3.1 中断源概述

下表列出了 M5230 所有的中断源, 以及触发条件

**Table. Interrupt sources**

Interrupt flag	Interrupt source	Trigger action
TimerIrq	定时器中断请求	定时器从 1 切换到 0
TxIrq	发送完成中断请求	数据发送完成
CRCIrq	CRC 计算完成中断	CRC 计算结束
RxIrq	接收完成中断请求	数据接收完成
IdellrQ	空闲状态中断请求	状态机状态切换到空闲态
HiAlertIrq	FIFO 缓冲区中断请求	FIFO 深度高于门限值
LoAlertIrq	FIFO 缓冲区中断请求	FIFO 深度低于门限值
ErrIrq	错误寄存器中断请求	检测到错误状态

### 7.4 Timer



M5230 内部集成一个 16bit Timer, 外部控制器可以利用 Timer 管理定时任务。

系统时钟(13.56MHz)作为 Timer 的时钟输入, Timer 由两部分组成预分频器和计数器, 计数器工作在减计数模式。计数器的启动和停止由 ControlReg 寄存器的 TStartNow, TStopNow 控制。





当 TModeReg 寄存器 TAuto 位置 1 时, M5230 系统状态机处于收发状态时, 当发送完成后 Timer 自动启动, 当接收模式收到有效数据后 Timer 自动停止。若未收到有效数据 Timer 溢出后状态机自动由接收模式转为发送模式

预分频器由一个 12 位的计数器构成, 分频值由 TPrescaler\_Hi[3:0] TPrescaler\_Lo[7:0] 设置, 有效地分频值范围为 0~4095。

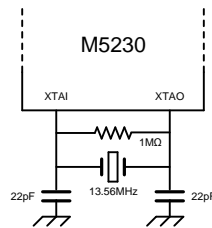
计数器的重载值由 TReloadVal\_Hi[7:0], TReloadVal\_Lo[7:0] 设置, 有效地重载值范围为 0~65535。

计数器的当前值保存在 TCounterVal 寄存器中通过读命令获得计数器的当前值。

当计数器减至计数值 0 时, 会产生中断请求信号 ComIrqReg 寄存器的 TimerIrq 位会置 1。如果 TimerIEn 使能, IRQ 管脚上会产生中断信号。TimerIrq 位可以通过主机清零。当 TModeReg 的 TAutoRestart 位置 1 时定时器会重新加载计数值并重新启动, 若 TAutoRestart 位为 0, Timer 将停止运行, Status1Reg 寄存器 TRuning 位指示定时器的当前状态。

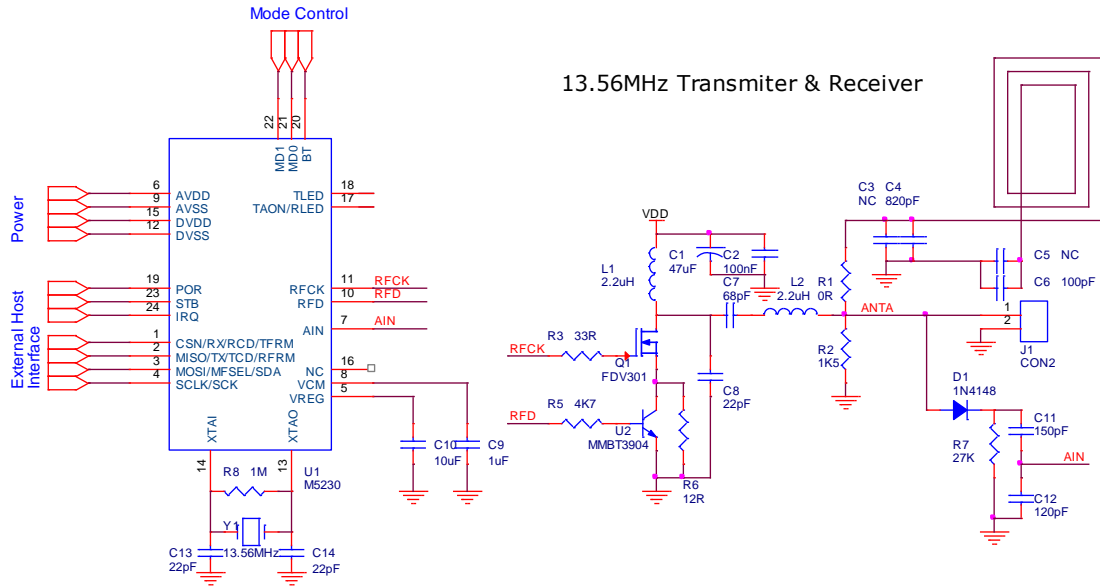
$$t_d = \frac{(TPrescaler + 1) \times (TReloadVal + 1)}{13.56MHz}$$

## 7.5 晶体振荡电路



M5230 振荡器为内部数字逻辑提供时间基准, 为了获得更优的性能, 时钟抖动必须尽可能的小。如果使用外部时钟源, 时钟信号必须连接到 XTAI 引脚。

## 7.6 典型应用



## 8 寄存器

Interrupt flag	Interrupt source	Trigger action
R/W	读 / 写	可读可写
R/w0	读 / 写 0	可读可写 0
R	读	只读
r0/W	读 0 / 写	可写读为 0
Reserved	保留	写操作无效

### 8.1 寄存器描述

地址	寄存器名称	功能描述
00h	VersionReg	版本信息
01h	CommadReg	启动或终止命令操作
02h	ComIEnReg	使能或禁止中断请求控制
03h	ComIrqReg	中断请求标志
04h	ErrorReg	错误状态指示
05h	Status1Reg	通信状态指示
06h	Status2Reg	通信状态指示
07h	FIFODataReg	FIFO 缓冲区
08h	FIFOLevelReg	FIFO 缓冲器深度指示
09h	WaterLevelReg	FIFO 缓冲区门限
0ah	ControlReg	状态控制



0bh	BitFramingReg	数据帧调整
0ch	CollReg	防冲突检测
0dh	ModeReg	CRC 参数设置
0eh	TxModeReg	发送模式设置
0fh	RxModeReg	接收模式设置
10h	TxAskReg	载波设置
11h	TypeBReg	Type A EGT 设置
12h	CRCResultReg	CRC 结果高位
13h	CRCResultReg	CRC 结果低位
14h	ModWidthReg	Type A 调制宽度
15h	RFCfgReg	模拟部分增益及阈值
16h	TModeReg	Timer 预分频高位及 Timer 模式
17h	TPrescalerReg	Timer 预分频低位
18h	TReloadReg	Timer 重载值高位
19h	TReloadReg	Timer 重载值低位
1ah	TCounterValReg	Timer 计数值高位
1bh	TCounterValReg	Timer 计数值低位
1ch	CollSetReg	解调电路参数
1dh	FilterSetReg	解调电路参数
1eh	BackSetReg	解调电路参数

### 8.1.1 VersionReg(0x00)(Default: 0xA2)

Bit	7	6	5	4	3	2	1	0
Symbol:	Version							
Access:	R							

Bit	Symbol	Value	Description
7 to 0	Version	-	版本信息 0xA2

### 8.1.2 CommandReg(0x01)(Default: 0x20)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserved		RcvOff	Reserved	Command			
Access:	-		R/W	-	R/W			

Bit	Symbol	Value	Description
7 to 6	Reserved	-	保留
5	RcvOff	1	关闭数字接收部分
4	Reserved	1	保留
3 to 0	Command		写操作控制状态机进入对应的状态 读操作寄存器显示当前状态



	0000	空闲状态
	0011	计算 CRC
	0100	发送状态
	0111	状态维持不变, 可以通过此项修改当前寄存器的高四位
	1000	接收状态
	1100	收发状态
	1110	认证

### 8.1.3 ComlEnReg(0x02)(Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	IRqInv	TxlEn	RxlEn	IdlelEn	HiAlertlEn	LoAlertlEn	ErrlEn	TimerlEn
Access:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit	Symbol	Value	Description
7	IRqInv	1	IRQ 管脚输出信号反向(低有效)
6	TxlEn	1	允许发送完成中断请求输出到 IRQ 管脚
5	RxlEn	1	允许接收完成中断请求输出到 IRQ 管脚
4	IdlelEn	1	允许状态机空闲中断请求信号输出到 IRQ 管脚
3	HiAlertlEn	1	允许 FIFO 深度高于 WaterLevelReg 设定的门限警告中断请求信号输出到 IRQ 管脚
2	LoAlertlEn	1	允许 FIFO 深度低于 WaterLevelReg 设定的门限警告中断请求信号输出到 IRQ 管脚
1	ErrorlEn	1	允许错误中断请求信号输出到 IRQ 管脚
0	TimerlEn	1	允许定时器溢出中断请求信号输出到 IRQ 管脚

### 8.1.4 ComlRqReg(0x03)(Default: 0x04)

Bit	7	6	5	4	3	2	1	0
Symbol:	Set1	TxlRq	RxlRq	IdlelRq	HiAlertlRq	LoAlertlRq	ErrlRq	TimerlRq
Access:	r0/w	R/w0	R/w0	R/w0	R/w0	R/w0	R	R/w0

Bit	Symbol	Value	Description
	Set1	1	将 bit6~bit0 中为 1 的位进行写 1 操作, 其他位不受影响
		0	将 bit6~bit0 中为 1 的位进行写 0 操作, 其他位不受影响
6	TxlRn	1	发送完成中断, 当最后一位发送完成后该标志置位 当 Set1=0 对 TxlRn 写 1 将该位清零
5	RxlRn	1	允许接收完成中断请求输出到 IRQ 管脚 当 Set1=0 对 RxlRn 写 1 将该位清零
4	IdlelRq	1	当状态机从其他状态进入空闲状态该位置位 当 Set1=0 对 IdlelRq 写 1 将该位清零
3	HiAlertlRq	1	Status1Reg 寄存器 HiAlert 位置位该位置 1



			当 Set1=0 对 HiAlertIRq 写 1 将该位清零
2	LoAlertIRq	1	Status1Reg 寄存器 LoAlert 位置位该位置 1 当 Set1=0 对 LoAlertIRq 写 1 才会将该位清零
1	ErrIRq	1	ErrorReg 寄存器内任意位置位该位为 1 当 ErrorReg 为零该位自动清零
0	TimerIRq	1	定时器计数发生溢出该位置位 当 Set1=0 对 TimerIRq 写 1 才会将该位清零。

### 8.1.5 ErrorReg(0x04)(Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	WrErr	Reserved		BufOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
Access:	R	-		R	R	R	R	R

Bit	Symbol	Value	Description
7	WrErr	1	当芯片认证或通过 RF 收发数据时对 FIFO 进行读写操作该错误标志会置位
6 to 5	Reserved	-	保留
4	BufOvfl	1	当内部 FIFO 已满继续对 FIFO 进行写操作时该位会置位
3	CollErr	1	当检测到位冲突该位置位，该标志会在接收数据开始时自动清除
2	CRCErr	1	当 RxModeReg 寄存器的 RxCRCEn 位置位并且发生 CRC 计算错误改位置位 当接收流程启动时改位会自动清零
1	ParityErr	1	当校验位出错该位置位 当接收流程启动时改位会自动清零
0	ProtocolErr	1	当 SOF 发生错误该位置位 当接收流程启动时改位会自动清零

### 8.1.6 Status1Reg(0x05)(Default: 0x01)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserved			IRq	TRunning	Reserved	HiAlert	LoAlert
Access:	-			R	R	-	R	R

Bit	Symbol	Value	Description
7 to 5	Reserved	-	保留
4	IRq	1	IRq 管脚电平为高时该位置位，为低时自动清零
3	TRunning	1	内部定时器工作指示
2	Reserved	1	保留
1	HiAlert	1	$HiAlert = 256 - FIFOLength \leq WaterLevel$
0	LoAlert	1	$LoAlert = FIFOLength \leq WaterLevel$

### 8.1.7 Status2Reg(0x06)(Default: 0x00)



Bit	7	6	5	4	3	2	1	0
Symbol:	Reserved				MFCrypto1On	ModemState		
Access:	-				R/w0	R		

Bit	Symbol	Value	Description
7 to 4	reserved	-	保留
3	MFCrypto1On	-	Crypto 加密功能打开，只能通过发送认证命令使该位置 1
2 to 0	ModemState[2:0]	-	发送接收模块状态机当前状态
		000	空闲
		001	等待 BitFramingReg 寄存器 StartSend 位置位
		010	TxWait:
		011	数据发送
		100	RxWait
		101	等待数据
		110	接收数据

### 8.1.8 FIFODataReg(0x07)

Bit	7	6	5	4	3	2	1	0
Symbol:	FIFOData[7:0]							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 0	FIFOData	1	内部 256 字节 FIFO 数据输入/输出接口

### 8.1.9 FIFOLevelReg(0x08)(Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	FIFOLevel							
Access:	R/w0							

Bit	Symbol	Value	Description
7 to 0	FIFOLevel	-	FIFO 深度
		Write 0x00	清空 FIFO 数据

### 8.1.10 WaterLevelReg(0x09)(Default: 0x10)

Bit	7	6	5	4	3	2	1	0
Symbol:	WaterLevel[7:0]							
Access:	R/W							

Bit	Symbol	Value	Description
-----	--------	-------	-------------



7 to 0	WaterLevel [7:0]	1	内部 256 字节 FIFO 数据输入/输出接口
--------	------------------	---	--------------------------

### 8.1.11 ControlReg(0x0A)(Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	TStopNow	TStartNow	reserved			RxLastBits		
Access:	W	W	-			R		

Bit	Symbol	Value	Description
7	TStopNow	1	内部定时器立即停止
6	TStartNow	1	内部定时器立即启动
5 to 3	reserved	-	保留
2 to 0	RxLastBits[2:0]	-	最后一个字节接收的到的码元个数, 如果该位为 0 表示最后一个字节整字节有效

### 8.1.12 BitFramingReg(0x0B)(Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	StartSend	RxAlign[2:0]			reserved	TxLastBits[2:0]		
Access:	R/W	R/W			-	R/W		

Bit	Symbol	Value	Description
7	StartSend	1	启动 RF 数据发送 该功能仅在 Transceive 模式下有效
6 to 4	RxAlign[2:0]		定义第一个码元存储的存储的位置 例如:
		0	保存在 Bit0
		1	保存在 Bit1
	7	保存在 Bit7	
3	Reserved	-	保留
2 to 0	TxLastBits[2:0]		定义发送数据时最后一个字节的长度.000b 表示发送最后一个字节的所有位, 001b 表示最后一字节仅发送 1bit

### 8.1.13 CollReg(0x0C)(Default: 0x20)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserved		CollPosNotValid	CollPos				
Access:	-		R	R				

Bit	Symbol	Value	Description
7 to 6	Reserved	-	保留
5	CollPosNotValid	1	没有检测到冲突位, 或者冲突位超过了 CollPos 定义的范围
4 to 0	CollPos	-	当接收到的数据发生冲突时, 保存冲突位的位置



	00h	在第 1 个码元检测到冲突
	01h	在第 2 个码元检测到冲突
	1Fh	在第 32 个码元检测到冲突

#### 8.1.14 ModeReg(0x0D)(Default: 0x03)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserve						CRCPreset	
Access:	-						R/W	

Bit	Symbol	Value	Description
7 to 2	Reserve		保留
1 to 0	TxFraming		定义 CRC 的初值
		00	0000h
		01	6363h
		10	A671h
		11	FFFFh

#### 8.1.15 TxModeReg(0x0E) (Default: 0x00)

Bit	7	6	5	4	3	2	1	0
Symbol:	TxCRCEn	TxFraming	Reserve					
Access:	R/W	R/W	-					

Bit	Symbol	Value	Description
7	TxCRCEn	1	数据发送时使能 CRC
6	TxFraming		定义发送时的数据格式
		0	ISO/IEC 14443 A/MIFARE
		1	ISO/IEC 14443 B
5 to 0	Reserve		保留

#### 8.1.16 RxModeReg(0x0F)(Default: 0x09)

Bit	7	6	5	4	3	2	1	0
Symbol:	RxCRCEn	RxFraming	RxWait					
Access:	R/W	R/W	R/W					

Bit	Symbol	Value	Description
7	RxCRCEn	1	数据接收时使能 CRC
6	RxFraming		定义接收时的数据格式
		0	ISO/IEC 14443 A/MIFARE
		1	ISO/IEC 14443 B





5 to 0	RxWait		接收等待时间默认为 9
--------	--------	--	-------------

**8.1.17 TxASKReg(0x10)(Default: 0x00)**

Bit	7	6	5	4	3	2	1	0
Symbol:	RFOpen	Force100ASK	Reserve					
Access:	R/W	R/W	-					

Bit	Symbol	Value	Description
7	RFOpen	1	打开载波
6	Force100ASK	1	使能 100% ASK 调制方式
5 to 0	Reserve		保留

**8.1.18 TypeBReg(0x11)(Default: 0x03)**

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserve						TxEGT	
Access:	-						R/W	

Bit	Symbol	Value	Description
1 to 0	TxEGT	00	Type B 模式发送数据实 EGT 时间为 0
		01	Type B 模式发送数据实 EGT 时间为 1 个码元
		10	Type B 模式发送数据实 EGT 时间为 2 个码元
		11	Type B 模式发送数据实 EGT 时间为 3 个码元

**8.1.19 CRCResultReg(0x12 0x13) (Default: 0x0000)**

Bit	7	6	5	4	3	2	1	0
Symbol:	CRCResult_Hi							
Access:	R							

Bit	Symbol	Value	Description
7 to 0	CRCResult_Hi	-	CRC 高字节

Bit	7	6	5	4	3	2	1	0
Symbol:	CRCResult_Lo							
Access:	R							

Bit	Symbol	Value	Description
7 to 0	CRCResult_Lo	-	CRC 低字节

**8.1.20 ModeWidthReg(0x14)(Default: 0x26)**

Bit	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---



Symbol:	Reserve	ModWidth
Access:	-	R/W

Bit	Symbol	Value	Description
7 to 6	Reserve	-	保留
5:	ModWidth		米勒调制脉冲宽度定义

### 8.1.21 RFCfgReg(0x15)(Default: 0x09)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserve				Vth		RxGain	
Access:	-				R/W		R/W	

Bit	Symbol	Value	Description
7 to 4	Reserve	-	保留
3 to 2	Vth		模拟部分阈值电压
1 to 0	RxGain		模拟部分增益

### 8.1.22 TModeReg(0x16)(Default: 0x85)

Bit	7	6	5	4	3	2	1	0
Symbol:	TAuto	Reserve		TAutoRestart	TPrescaler_Hi			
Access:	R/W	-		R/W	R/W			

Bit	Symbol	Value	Description
7	TAuto	1	当发送完成后 Timer 自动启动当收到一位有效数据时 Timer 自动停止
		0	Timer 不受发送模块控制
6 to 5	Reserve	-	保留
4	TAutoRestart		当定时器减至 0 时自动重新加载计数值开始减计数
3 to 0	TPrescaler_Hi		定时器预分频器高位

### 8.1.23 TPrescalerReg(0x17)(Default: 0x4b)

Bit	7	6	5	4	3	2	1	0
Symbol:	TPrescaler_Lo							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 4	TPrescaler_Lo	-	定时器预分频器低位 $F_{\text{Timer}} = 13.56 / (\text{TPreScaler} + 1)$

**8.1.24 TReloadReg(0x18 0x19)(Default: 0x00c8)**

Bit	7	6	5	4	3	2	1	0
Symbol:	TReloadVal_Hi							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 0	TReloadVal_Hi	-	定时器高字节重载值

Bit	7	6	5	4	3	2	1	0
Symbol:	TReloadVal_Lo							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 0	TReloadVal_Lo	-	定时器低字节重载值

**8.1.25 TCounterValReg(0x1A 0x1B) (0x0000)**

Bit	7	6	5	4	3	2	1	0
Symbol:	TCounterVal_Hi							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 0	TCounterVal_Hi	-	定时器高字节计数值

Bit	7	6	5	4	3	2	1	0
Symbol:	TCounterVal_Lo							
Access:	R/W							

Bit	Symbol	Value	Description
7 to 0	TCounterVal_Lo	-	定时器低字节计数值

**8.1.26 CollSetReg(0x1C) (Default: 0x20)**

Bit	7	6	5	4	3	2	1	0
Symbol:	CollEn	CollMin						
Access:	R/W	R/W						

Bit	Symbol	Value	Description
7	CollEn	-	冲突检测使能



6 to 0	CollMin		冲突检测模块检测门限
--------	---------	--	------------

### 8.1.27 FilterSetReg(0x1D) (Default: 0x0B)

Bit	7	6	5	4	3	2	1	0
Symbol:	Reserve				FilterEn	FilterMin		
Access:	-				R/W	R/W		

Bit	Symbol	Value	Description
7 to 4	Reserve	-	保留
3	FilterEn	1	解码部分滤波使能
2 to 0	FilterMin		滤波模块门限

### 8.1.28 FilterCfgReg(0x1E) (Default: 0x44)

Bit	7	6	5	4	3	2	1	0
Symbol:	FrontMin				BackMin			
Access:	R/W				R/W			

Bit	Symbol	Value	Description
7 to 4	FrontMin		Front 门限
3 to 0	BackMin		Back 门限

## 9 操作命令

### 9.1 概述

M5230 工作模式取决于内部状态机的状态，通过对 CommandReg 寄存器进行写操作可以控制内部状态机的状态。

### 9.2 M5230 命令描述

Table . CRC coprocessor parameters

Command	Command Code	Action
空闲命令	0000	终止当前操作进入空闲状态
CRC 计算命令	0011	计算 FIFO 缓冲区中数据的 CRC
发送命令	0100	通过天线发送 FIFO 缓冲区数据
空命令	0111	不执行任何命令，该命令可用于改变 CommandReg 寄存器的 RcvOff 位
接收命令	1000	接收天线上的数据并将数据保存在 FIFO 缓冲区
收发命令	1100	通过天线发送 FIFO 缓冲区数据并且自动启动接收电路
认证命令	1110	对 MIFARE 卡进行加密传输认证

#### 9.2.1.1 空闲命令

M5230 进入空闲状态。



### 9.2.1.2 CRC 计算命令

M5230 进入 CRC 计算状态。FIFO 中的数据会依次传送到 CRC 协处理器中计算。

CRC 的初始值由 ModeReg 寄存器的 CRCPreset[1:0]控制，当 M5230 进入 CRC 状态时初值加载的 CRC 协处理器中，当 FIFO 缓冲区中的数据为空时 CRC 计算结束，CRC 结果保存在 CRCResultReg 中。M5230 退出 CRC 计算状态，进入空闲状态，也可以向 CommandReg 写入其他命令退出当前状态。

### 9.2.1.3 发送命令

M5230 进入发送状态，FIFO 缓冲区内数据将立即被发送到天线上。在启动发送状态之前应当配置好所有与发送有关的寄存器。

当 FIFO 缓冲区数据为空当前命令将自动终止状态机进入空闲状态，也可以向 CommandReg 写入其他命令退出当前状态。

### 9.2.1.4 空命令

M5230 状态不发生变化，空命令不会影响状态机的当前状态，该命令可以用来修改 CommandReg 寄存器中的非命令位，例如 RcvOff 位。

### 9.2.1.5 接收命令

M5230 进入接收状态，等待接收天线上的数据流，当收到数据流将对数据流进行解码并且将解码后的数据保存在 FIFO 缓冲区中。在启动接收状态之前应当配置好所有与发送有关的寄存器。

当数据流结束后状态机自动退出接收状态，也可以向 CommandReg 写入其他命令退出当前状态。

### 9.2.1.6 收发命令

M5230 进入收发状态，状态机首先进入发送状态将 FIFO 缓冲区内数据将立即被发送到天线上，状态机进入接收状态等待接收天线上的数据流，当收到数据流将对数据流进行解码并且将解码后的数据保存在 FIFO 缓冲区中，状态机会一直在发送状态和接收状态切换。

在发送状态下将 BitFramingReg 寄存器 StartSend 置 1，FIFO 缓冲区的数据会被发送到天线，并自动将 StartSend 清零。如果发送状态 StartSend 为 0，状态机会停留在发送状态等待 StartSend 置位。向 CommandReg 写入其他命令退出当前状态。

### 9.2.1.7 认证命令

认证命令

M5230 进入认证状态使能 MIFARE 加密传输，在进入认证状态之前需要将以下数据写入 FIFO 缓冲区：

- 命令：Authentication command code(60h, 61h)
- 块地址：Block address
- 密码：Sector key byte 0
- 密码：Sector key byte 1
- 密码：Sector key byte 2
- 密码：Sector key byte 3

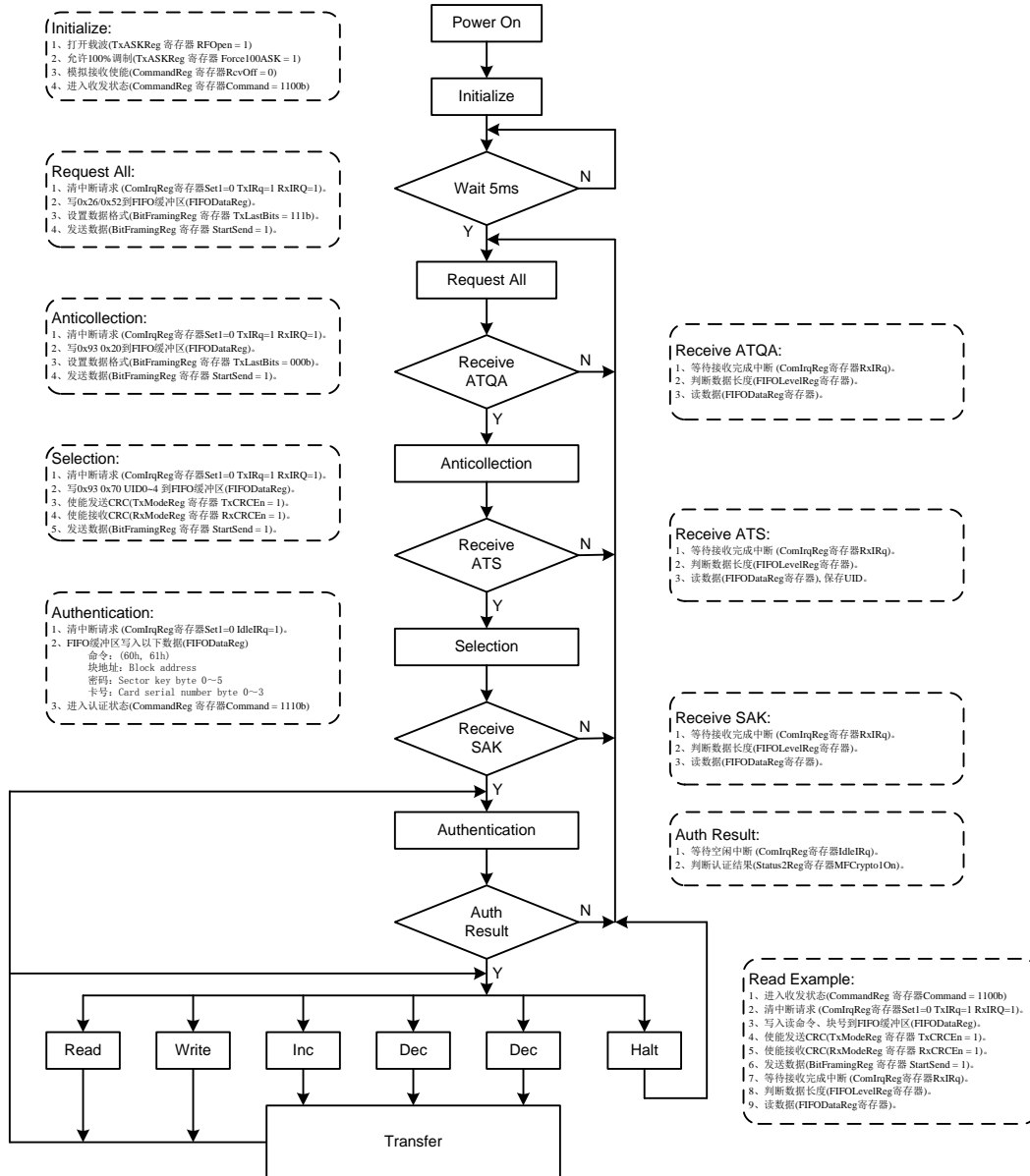


- 密码: Sector key byte 4
  - 密码: Sector key byte 5
  - 卡号: Card serial number byte 0
  - 卡号: Card serial number byte 1
  - 卡号: Card serial number byte 2
  - 卡号: Card serial number byte 3
- 数据 FIFO 缓冲区共需写入 12 字节

注:在认证过程中对 FIFO 的访问将会被屏蔽,如果访问 FIFO 缓冲区,ErrorReg 寄存器的 WrErr 位将会置位..

当认证结束后该命令将自动终止,芯片自动返回空闲状态.当认证成功后 Status2Reg 寄存器 MFCrypto1On 位将自动置 1,表示进入加密传输模式,对该位写 0 或者将复位信号拉低可将 MFCrypto1On 位清零。

### 9.2.1.8 认证流程



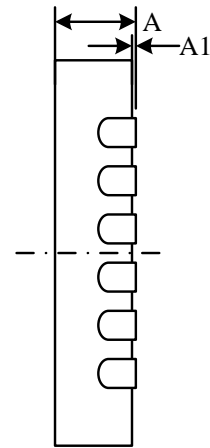
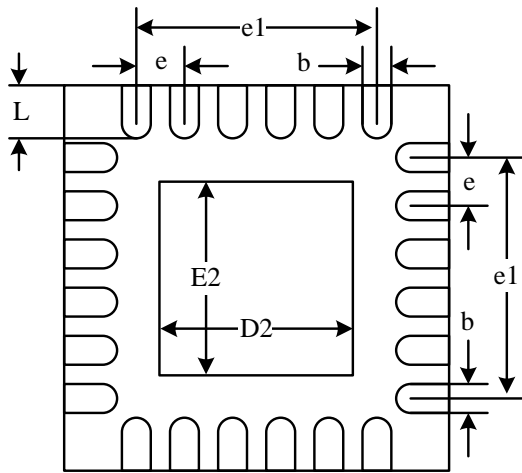
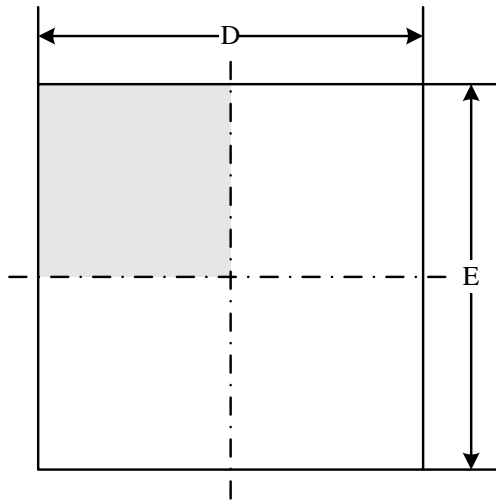


## 10.1 工作范围

符号	参数	条件	最小值	典型值	最大值	单位
DVDD	数字电源电压		3.0	3.3	5.5	V
AVDD	模拟电源电压		3.0	3.3	5.5	V
Temp	工作温度		-25	-	+85	°C

符号	参数	条件	最小值	典型值	最大值	单位
VIH	数字电源电压		0.7DVDD	-	-	V
VIL	模拟电源电压		-	-	0.3DVDD	V

## 11 封装信息



UNIT	A	A1	b	D	E	D2	E2	e	e1	L
mm	0.7 0.8	0.05	0.2 0.3	3.9 4.1	3.9 4.1	2.5 2.7	2.5 2.7	0.5	2.5	0.3 0.5